

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-142592

(43)Date of publication of application : 15.05.1992

(51)Int.Cl.

G09G 3/36  
G02F 1/133  
G02F 1/133

(21)Application number : 02-267049

(71)Applicant :

OKI ELECTRIC IND CO LTD

(22)Date of filing : 04.10.1990

(72)Inventor :

TAKAHASHI ATSUSHI  
TOYAMA HIROSHI  
FURUYA HIROSHI  
NAKAMURA YUKIO

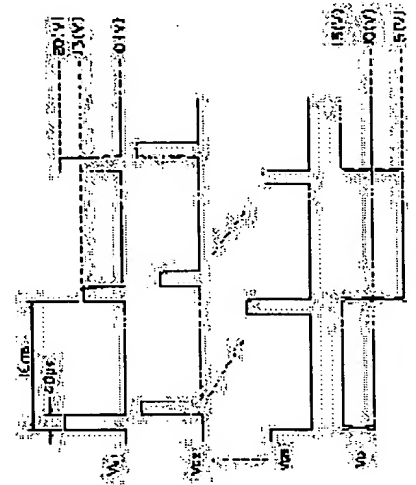
### (54) LIQUID CRYSTAL DISPLAY DEVICE

#### (57)Abstract:

**PURPOSE:** To obtain the liquid crystal display device which has superior gradation characteristics and small deterioration of liquid crystal by setting the voltage value of a scanning signal, which is in an ON state when a data signal has the negative polarity, below the voltage value of the signal which is in the ON state when the signal has the positive polarity.

**CONSTITUTION:** Scanning signals VG1...VGN are shifted in order in each horizontal cycle and this shift is made in each vertical cycle. The data signal VD has pulse width corresponding to a gradation level and is inverted in polarity in every vertical cycle. The voltages of the scanning signals VG1...VGN are set high when the data signal VD is plus and low when minus.

Consequently, a current  $I_{ds}$  which flows to a picture element electrode when the data signal VD is plus is made nearly equal to a current  $I_{ds}$  which flow to the picture element electrode when the data signal VD is minus, gradation characteristics by pulse-width modulation are improved by driving like this, and the liquid crystal is prevented from deteriorating.



#### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Best Available Copy

## ⑫ 公開特許公報(A) 平4-142592

⑤Int.Cl.<sup>5</sup>G 09 G 3/36  
G 02 F 1/133

識別記号

5 5 0  
5 7 5

庁内整理番号

7926-5G  
8806-2K  
8806-2K

④公開 平成4年(1992)5月15日

審査請求 未請求 請求項の数 1 (全7頁)

⑭発明の名称 液晶表示装置

⑯特 願 平2-267049

⑰出 願 平2(1990)10月4日

⑱発明者	高 橋 敦	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱発明者	遠 山 広	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱発明者	古 谷 博 司	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑱発明者	中 村 幸 夫	東京都港区虎ノ門1丁目7番12号	沖電気工業株式会社内
⑲出願人	沖電気工業株式会社	東京都港区虎ノ門1丁目7番12号	
⑳代理人	弁理士 前 田 実		

## 明 細 書

## 1. 発明の名称

液晶表示装置

## 2. 特許請求の範囲

液晶に電界を加える画素電極と、

走査信号が供給される走査電極と、

階調レベルに応じたパルス幅を持ち、1垂直周期ごとに極性を反転させるデータ信号が供給されるデータ電極と、

上記走査信号がオン状態のときに、上記データ信号を上記画素電極に供給するスイッチング素子とを有する液晶表示装置において、

上記データ信号が負極性の場合におけるオン状態にある上記走査信号の電圧値を、上記データ信号が正極性の場合におけるオン状態にある上記走査信号の電圧値より、低く設定する走査回路を有することを特徴とする液晶表示装置。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、パルス幅変調方式により階調表示を

行うアクティブマトリクス型液晶表示装置に関するものである。

〔従来の技術〕

第1図はアクティブマトリクス型液晶表示装置の基本構成を示す図である。同図に示されるように、この液晶表示装置には、液晶に電界を加える画素電極1と、走査回路2から走査信号が供給される走査電極3と、信号供給回路4から階調レベルに応じたパルス幅を持ち、1垂直周期ごとに極性を反転させるデータ信号が供給されるデータ電極5と、走査信号がオン状態のときにデータ信号を画素電極に供給する薄膜トランジスタ(TFT)6とが備えられている。

第2図は従来のパルス幅変調方式の階調駆動方式を示すタイミングチャートである。同図に示されるように、この駆動方式では、走査信号 $V_{g1}$ 、 $\dots$ 、 $V_{gN}$ (例えば、オン状態の電圧が20V、オフ状態の電圧が0V)が1水平周期(例えば、40 $\mu$ s)ごとに順次シフトされて行き、これが1垂直周期(例えば、16ms)ごとに繰り返され

る。そして、データ信号 $V_d$ は、階調レベルに応じたパルス幅を持ち、1垂直周期ごとに極性が反転する。

第3図はパルス幅変調方式により画素電極に印加される信号 $V_s$ の電圧(液晶に加えられる電界強度、即ち、階調レベルに対応する)を設定する方式を示す波形図である。同図に示されるように、走査信号 $V_g$ がオン状態になると、データ電極から画素電極に電流が流れて画素電圧は10Vになり(図中a→b)、データ信号 $V_d$ が正極性のオン状態にあると、画素電圧はデータ信号 $V_d$ のパルス幅(期間 $T_{w1}$ )に対応した電圧まで上昇する(図中b→c)。走査信号 $V_g$ がオフ状態にある間は画素電圧は保持され(図中c→d)、次に、走査信号 $V_g$ がオン状態になると画素電圧は10Vに戻る(図中d→e)。そして、データ信号 $V_d$ が負極性のオン状態になると、画素電圧はデータ信号 $V_d$ のパルス幅(期間 $T_{w2}$ )に対応した電圧まで降下する(図中e→f)。

[発明が解決しようとする課題]

$$-(1/2) \times (v_d - v_s)^2 \} \quad \dots (1)$$

となる。

また、データ電圧が負極性( $v_d = 5V$ )の場合に、例えば、 $v_{th} = 3V$ とすれば、

$$v_g - v_{th} > v_d \quad (20V - 3V > 5V)$$

$$v_g - v_{th} > v_s \quad (20V - 3V > 5 \sim 10V)$$

であり、

$$I_{ds} = k \times \{ (v_g - v_d - v_{th}) \times (v_s - v_d) - (1/2) \times (v_s - v_d)^2 \} \quad \dots (2)$$

となる。

第4図(a)はデータ電圧 $v_d$ が正極性の場合の画素電圧 $v_s$ を上記式(1)から計算して求めたグラフであり、第4図(b)はデータ電圧 $v_d$ が負極性の場合の画素電圧 $v_s$ を上記式(2)から計算して求めたグラフである。これらのグラフは、TFTを介して画素電極に流れ込む(又は、流れ出る)電流 $I_{ds}$ が、データ信号が正極性の場合より負極性の場合の方が大きいことを示している。

しかしながら、第1図乃至第3図のような、パルス幅変調により画素電極に印加される電圧を設定する方式では、データ信号 $V_d$ が正極性か負極性かによって、TFTを介して画素電極に流れ込む電流 $I_{ds}$ の大きさが異なるために、画素電極に印加される電圧が非対象になり、所望の階調レベルが得られず、また、電圧非対象により液晶が劣化するという問題があった。

ここで、TFTを介して画素電極に流れ込む電流 $I_{ds}$ は、TFTの閾値電圧を $v_{th}$ 、データ電極電圧を $v_d$ 、ゲート電極電圧を $v_g$ 、画素電圧を $v_s$ 、 $k$ をTFTの構造や材料により決まる定数とすると、次式で近似できることが知られている。

データ電圧が正極性( $v_d = 15V$ )の場合に、

例えば、 $v_{th} = 3V$ とすれば、

$$v_g - v_{th} > v_d \quad (20V - 3V > 15V)$$

$$v_g - v_{th} > v_s \quad (20V - 3V > 5 \sim 10V)$$

であり、

$$I_{ds} = k \times \{ (v_g - v_s - v_{th}) \times (v_d - v_s) \}$$

そこで、本発明は上記したような従来技術の課題を解決するためになされたもので、その目的とするところは、階調特性に優れ、液晶の劣化の少ない液晶表示装置を提供することにある。

[課題を解決するための手段]

本発明に係る液晶表示装置は、液晶に電界を加える画素電極と、走査信号が供給される走査電極と、階調レベルに応じたパルス幅を持ち、1垂直周期ごとに極性を反転させるデータ信号が供給されるデータ電極と、上記走査信号がオン状態のときに、上記データ信号を上記画素電極に供給するスイッチング素子とを有する液晶表示装置において、上記データ信号が負極性の場合におけるオン状態にある上記走査信号の電圧値を、上記データ信号が正極性の場合におけるオン状態にある上記走査信号の電圧値より、低く設定する走査回路を有することを特徴としている。

[作 用]

本発明においては、データ信号が負極性の場合におけるオン状態にある走査信号の電圧値を、デ

ータ信号が正極性の場合におけるオン状態にある走査信号の電圧値より、低く設定することによって、データ信号が負極性で走査信号がオン状態にあるときにスイッチング素子を介して画素電極に流れ込む電流を小さくしている。このようにすることによって、データ信号が正極性の場合に画素電極に流れ込む電流と、データ信号が負極性の場合に画素電極から流れ出る電流とほぼ等しくすることができる。

#### 〔実施例〕

以下に本発明を図示の実施例に基づいて説明する。

本発明に係る液晶表示装置の基本的構成は、走査回路2の機能を除き、従来例の説明に用いた第1図のものと同一である。また、第5図は本実施例の階調駆動方式を示すタイミングチャートである。以下に第1図及び第5図を用いて本実施例を説明する。

本実施例の駆動方式では、走査信号 $V_{G1}, \dots, V_{GN}$ が1水平周期（例えば、 $40\mu s$ ）ごとに順

次シフトされて行き、これが1垂直周期（例えば、 $16ms$ ）ごとに繰り返される。データ信号 $V_D$ は、階調レベルに応じたパルス幅を持ち、1垂直周期ごとに極性が反転する。そして、走査信号 $V_{G1}, \dots, V_{GN}$ の電圧は、データ信号 $V_D$ が正極性（例えば、 $15V$ ）の場合には高く（例えば、オン状態の電圧が $20V$ ）、データ信号 $V_D$ が負極性（例えば、 $5V$ ）の場合には低く（例えば、オン状態の電圧が $13V$ ）なるように設定される。

第6図は上記機能を持つ本実施例の走査回路2の構成を示すブロック図、第7図は第6図の走査回路2の動作を説明するためのタイミングチャートである。

この走査回路2においては、68ビットシフトレジスタ7にシフトクロックCPに同期してパルスSHLが順次シフトされ、シフトレジスタ7から68ビットレベルシフタ8に信号 $SR_1, SR_2, \dots, SR_{68}$ が出力される。レベルシフタ8には、1垂直周期毎にハイ（H）レベルとロー（L）レベルに切り替わる極性切替信号DFと、ロジッ

ク用電圧のHレベルの電圧DISPOFFが入力される。そして、レベルシフタ8は68ビット4レベルドライバ9に信号 $LR_1, LR_2, \dots, LR_{68}$ を供給する。

68ビット4レベルドライバ9には、液晶駆動用の電圧 $V_1, V_2, V_5, V_{EE}$ （例えば、 $20V, 13V, 0V, 0V$ ）が入力され、信号DFがLレベルで信号SRがLレベルのときに電圧 $V_{EE}$ （ $=0V$ ）を、信号DFがLレベルで信号SRがHレベルのときに電圧 $V_2$ （ $=13V$ ）を、信号DFがHレベルで信号SRがLレベルのときに電圧 $V_5$ （ $=0V$ ）を、信号DFがHレベルで信号SRがHレベルのときに電圧 $V_1$ （ $=20V$ ）を、信号 $O_1, O_2, \dots, O_{68}$ として走査電極に出力する。第8図はこの関係を表にして示した図である。従って、信号 $O_1, O_2, \dots, O_{68}$ は1垂直周期毎に出力電圧が異なる値になる。

第9図（a）は、本実施例において、データ電圧が正極性の場合の画素電圧 $v_s$ を上記式（1）から計算して求めたグラフであり、第9図（b）

はデータ電圧が負極性の場合の画素電圧 $v_s$ を上記式（2）から計算して求めたグラフである。これらのグラフは、TFTを介して画素電極に流れ込む（又は流れ出る）電流 $I_{ds}$ が、データ信号が正、負いずれの極性の場合であってもほとんど変わらないことを示している。

以上説明したように、本実施例においては、データ信号 $V_D$ が負極性の場合におけるオン状態にある走査信号の電圧値を、データ信号 $V_D$ が正極性の場合におけるオン状態にある走査信号の電圧値より、低く設定することによって、データ信号 $V_D$ が負極性で走査信号がオン状態にあるときにTFTを介して画素電極に流れ出る電流を小さくしている。

このようにすることによって、データ信号 $V_D$ が正極性の場合に画素電極に流れ込む電流 $I_{ds}$ と、データ信号 $V_D$ が負極性の場合に画素電極から流れ出る電流 $I_{ds}$ とをほぼ等しくしている。そして、このような駆動によって、パルス幅変調による階調特性を改善し、さらに、液晶の劣化を防止でき

る。

#### (発明の効果)

以上説明したように、本発明によれば、データ信号が負極性の場合におけるオン状態にある走査信号の電圧値を、データ信号が正極性の場合におけるオン状態にある走査信号の電圧値より、低く設定することによって、データ信号が正極性の場合に画素電極に流れ込む電流と、データ信号が負極性の場合に画素電極から流れ出る電流とをほぼ等しくしている。そして、このような駆動によって、パルス幅変調による階調駆動の特性を改善し、さらに、液晶の劣化を防止できるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明及び従来例の液晶表示装置の基本構成を示す図。

第2図は従来のパルス幅変調方式の階調駆動方式を示すタイミングチャート。

第3図はパルス幅変調方式により画素電極に印加される信号 $V_g$ の電圧を設定する方式を示す波

形図。

第4図(a)、(b)はデータ電圧が正極性及び負極性の場合の画素電圧 $V_g$ を示すグラフ。

第5図は本実施例の階調駆動方式を示すタイミングチャート

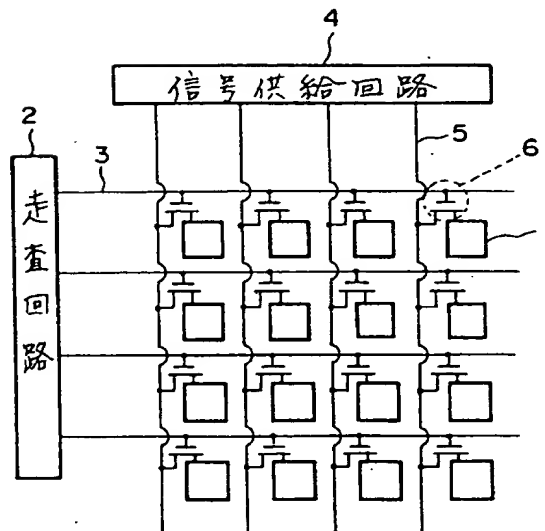
第6図は本実施例の走査回路の構成を示すブロック図。

第7図は第6図の走査回路の動作を説明するためのタイミングチャート。

第8図はドライバ9の真理値表を示す図。

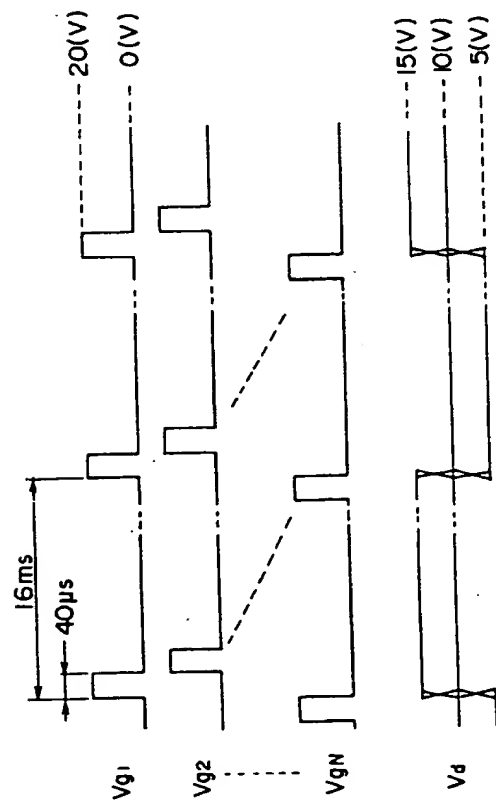
第9図(a)、(b)はデータ電圧が正極性及び負極性の場合の画素電圧 $V_g$ を示すグラフである。

- 1…画素電極
- 2…走査回路
- 3…走査電極
- 4…信号供給回路
- 5…データ電極
- 6…薄膜トランジスタ(TFT)



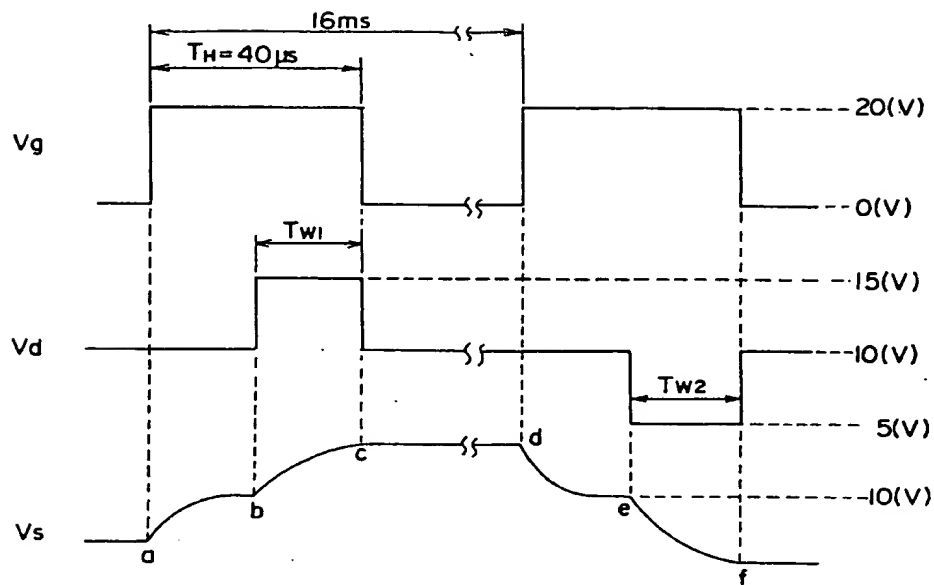
液晶表示装置の基本構成を示す図

第1図



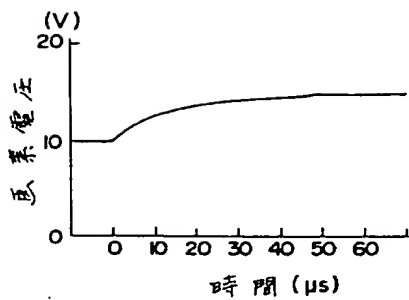
従来のパルス幅変調方式の階調駆動を示すタイミングチャート

第2図

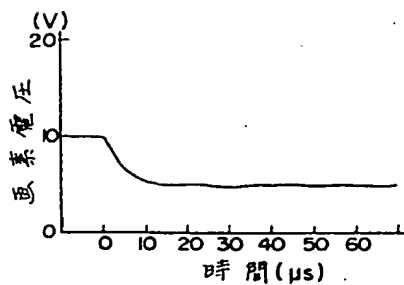


パルス幅変調方式により画素電極に印加される電圧の設定方式を示す図

## 第 3 図



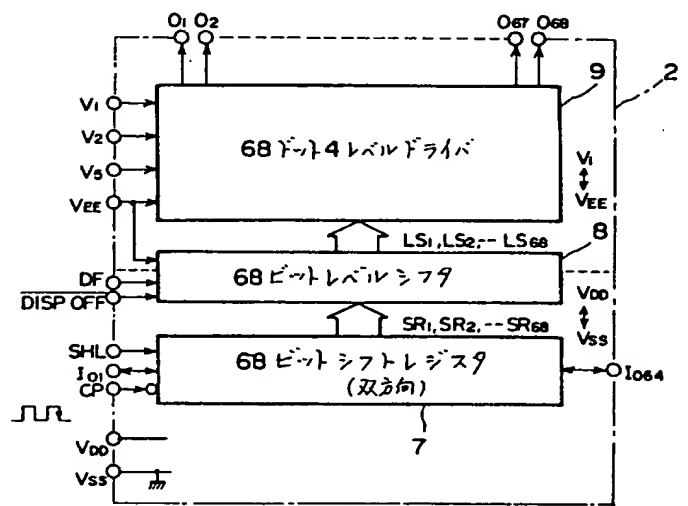
(a) 正 極 性



(b) 負 極 性

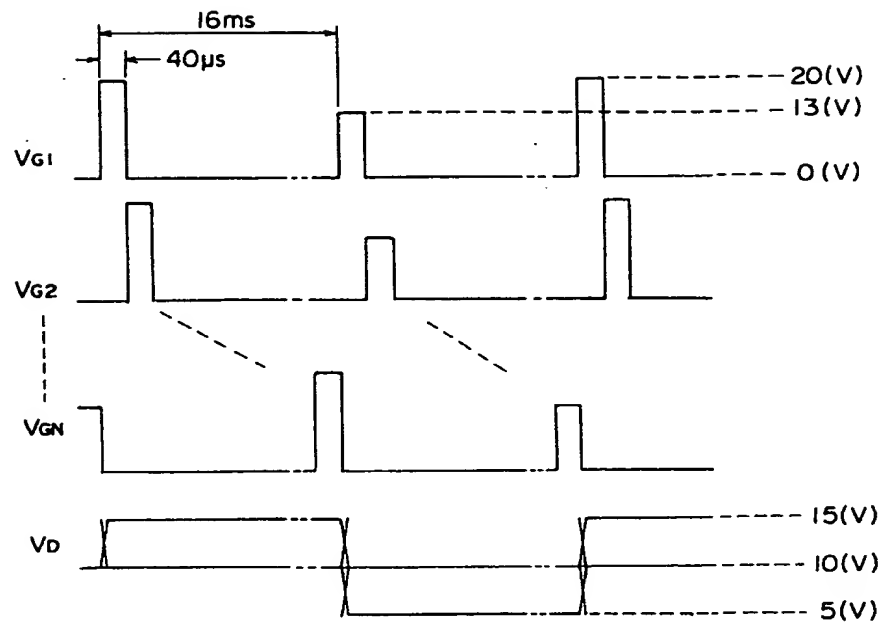
従来の画素電圧の変化を示すグラフ

## 第 4 図



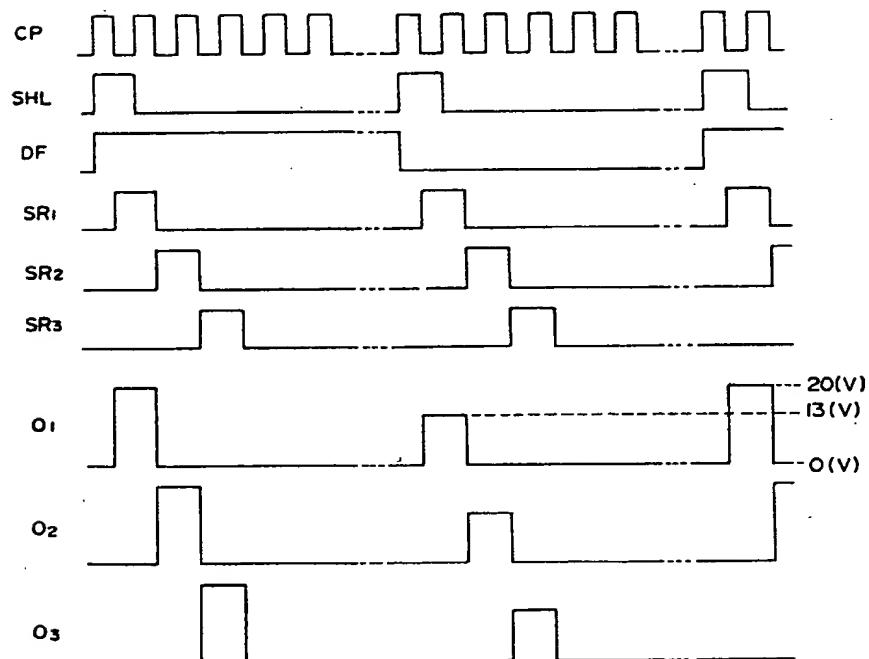
実施例の走査回路2の構成を示すブロック図

## 第 6 図



実施例の階調駆動方式を示すタイミングチャート

## 第 5 図



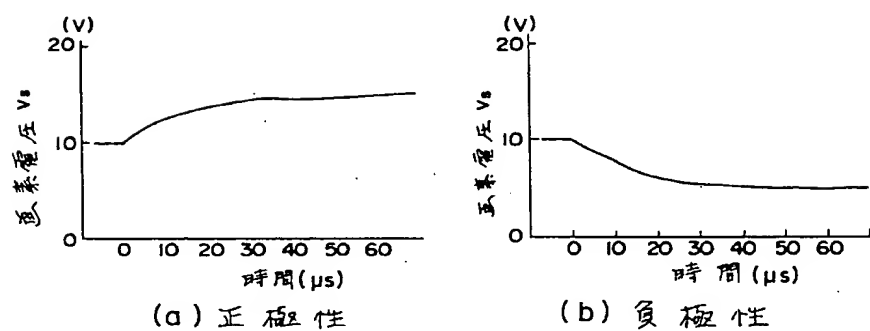
第6図の走査回路の動作を説明するためのタイミングチャート

## 第 7 図

DF	SR	パラメータ (0r-068)
L	L	$V_{EE} (0(v))$
	H	$V_2 (13(v))$
H	L	$V_5 (0(v))$
	H	$V_1 (20(v))$

本実施例に係る走査回路の真理値表

## 第 8 図



実施例のコレクタ電圧の変化を示すグラフ

## 第 9 図